

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-203264
 (43)Date of publication of application : 27.07.2001

(51)Int.Cl. H01L 21/76
 H01L 21/304
 H01L 21/306

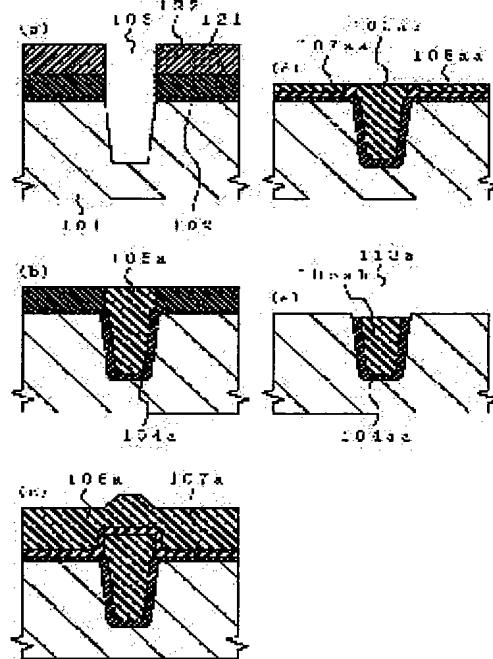
(21)Application number : 2000-013430 (71)Applicant : NEC CORP
 (22)Date of filing : 21.01.2000 (72)Inventor : MIWA KIYOHISA

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing element isolating regions in an STI structure without deterioration of electric characteristics.

SOLUTION: A surface protection oxide film 104a is formed by thermal oxidation on the surfaces of trenches 103, a (first) silicon oxide film 105a is left and formed by first CMP, a silicon nitride film 121 is removed, an HTO film 107a is formed, a second silicon oxide film 108a is formed, second CMP is applied as thin as the surface of a silicon substrate 101 is not exposed, and wet etching is applied to form element isolating regions 113a.



LEGAL STATUS

[Date of request for examination] 14.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3344397

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-203264

(P2001-203264A)

(43)公開日 平成13年7月27日 (2001.7.27)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 01 L 21/76		H 01 L 21/304	6 2 1 D 5 F 0 3 2
21/304	6 2 1		6 2 2 X 5 F 0 4 3
	6 2 2	21/76	N
21/306		21/306	B

審査請求 有 請求項の数10 O.L (全 11 頁)

(21)出願番号 特願2000-13430(P2000-13430)

(22)出願日 平成12年1月21日 (2000.1.21)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 三輪 清尚

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

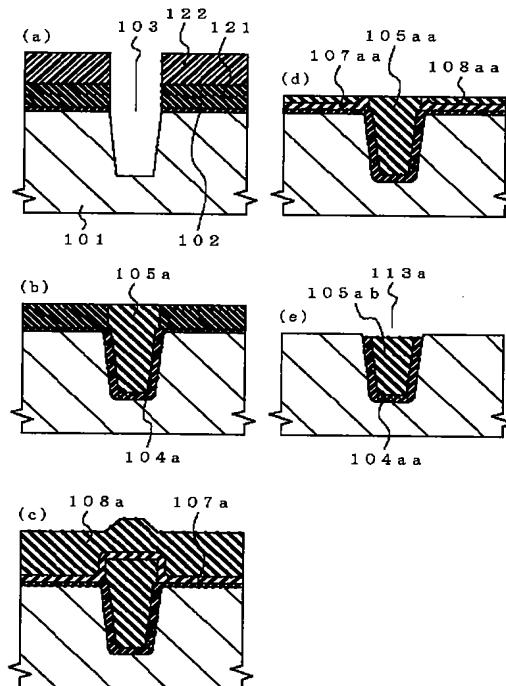
Fターム(参考) 5F032 AA34 AA45 AA77 AA78 DA02
DA03 DA04 DA09 DA24 DA33
DA53 DA74
5F043 AA02 AA32 AA35 BB22 BB23
DD15 DD16 DD30 FF01 FF07
GG05

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】電気特性の劣化の伴なわないS T I構造の素子分離領域の製造方法を提供する。

【解決手段】溝103の表面に熱酸化により表面保護酸化膜104aを形成し、第1のCMPにより(第1の)酸化シリコン膜105aを残置形成する。窒化シリコン膜121を除去し、HTO膜107aを形成した後、第2の酸化シリコン膜108aを形成する。シリコン基板101の表面が露出しない程度に第2のCMPを行ない、ウェット・エッティングを行なって素子分離領域113aを形成する。



【特許請求の範囲】

【請求項1】 シリコン基板の表面に第1の熱酸化によりパッド酸化膜を形成し、全面に窒化シリコン膜を形成し、該窒化シリコン膜の表面に形成したフォトレジスト膜パターンをマスクにして、該窒化シリコン膜およびパッド酸化膜を異方性エッチングし、さらに、該シリコン基板の表面を所定の深さだけテーパー・エッチングして溝を形成する工程と、

第2の熱酸化により、前記溝の表面に所要の膜厚を有した表面保護酸化膜を形成する工程と、

全面に第1の酸化シリコン膜を形成し、前記窒化シリコン膜の上面が露出するまで該第1の酸化シリコン膜に第1の化学機械研磨(CMP)を行なう工程と、

前記窒化シリコン膜を選択的に除去し、減圧気相成長法(LPCVD)により全面に所望の膜厚を有した高温酸化膜(HTO膜)を形成し、さらに、全面に第2の酸化シリコン膜を形成する工程と、

前記シリコン基板の表面の全面が前記パッド酸化膜の少なくとも一部に覆われた姿態を有して、第2のCMPによる平坦化を行なう工程と、

前記シリコン基板の表面が露出するまで、弗酸系のエッチング液でウェット・エッチングを行なう工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記第1の酸化シリコン膜が、高密度プラズマ励起気相成長法(HD-PECVD)により形成される請求項1記載の半導体装置の製造方法。

【請求項3】 前記第2の酸化シリコン膜が、HD-PECVDにより形成される請求項2記載の半導体装置の製造方法。

【請求項4】 前記第2の酸化シリコン膜が、オゾンとTEOSとを原料として準常圧化学気相成長法により形成された酸化シリコン膜、もしくは、水素化無機SOG膜からなり、

前記第2のCMPの前に、前記第2の酸化シリコン膜を酸化雰囲気で熱処理する工程を有する請求項2記載の半導体装置の製造方法。

【請求項5】 前記第1の酸化シリコン膜が、オゾンとTEOSとを原料として準常圧化学気相成長法により形成された酸化シリコン膜、もしくは、水素化無機SOG膜からなり、

前記第1のCMPと前記窒化シリコン膜の選択除去との間に、前記第1の酸化シリコン膜を酸化雰囲気で熱処理する工程を有し、

前記第2の酸化シリコン膜が、オゾンとTEOSとを原料として準常圧化学気相成長法により形成された酸化シリコン膜、もしくは、水素化無機SOG膜からなり、

前記第2のCMPの前に、前記第2の酸化シリコン膜を酸化雰囲気で熱処理する工程を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 シリコン基板の表面に第1の熱酸化によ

10

りパッド酸化膜を形成し、全面に窒化シリコン膜を形成し、該窒化シリコン膜の表面に形成したフォトレジスト膜パターンをマスクにして、該窒化シリコン膜およびパッド酸化膜を異方性エッチングし、さらに、該シリコン基板の表面を所定の深さだけテーパー・エッチングして溝を形成する工程と、

第2の熱酸化により、前記溝の表面に所要の膜厚を有した表面保護酸化膜を形成する工程と、

全面に第1の酸化シリコン膜を形成し、前記窒化シリコン膜の上面が露出するまで該第1の酸化シリコン膜に第1のCMPを行なう工程と、

前記窒化シリコン膜を選択的に除去し、熱酸化により前記パッド酸化膜を所要の膜厚の熱酸化膜に変換する工程と、

全面に第2の酸化シリコン膜を形成する工程と、前記シリコン基板の表面の全面が前記熱酸化膜の少なくとも一部に覆われた姿態を有して、第2のCMPによる平坦化を行なう工程と、

前記シリコン基板の表面が露出するまで、弗酸系のエッチング液でウェット・エッチングを行なう工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】 前記第1の酸化シリコン膜が、HD-PECVDにより形成される請求項6記載の半導体装置の製造方法。

【請求項8】 前記第2の酸化シリコン膜が、HD-PECVDにより形成される請求項7記載の半導体装置の製造方法。

【請求項9】 前記第2の酸化シリコン膜が、オゾンとTEOSとを原料として準常圧化学気相成長法により形成された酸化シリコン膜、もしくは、水素化無機SOG膜からなり、

前記第2のCMPの前に、前記第2の酸化シリコン膜を酸化雰囲気で熱処理する工程を有する請求項7記載の半導体装置の製造方法。

【請求項10】 前記第1の酸化シリコン膜が、オゾンとTEOSとを原料として準常圧化学気相成長法により形成された酸化シリコン膜、もしくは、水素化無機SOG膜からなり、

前記第2の酸化シリコン膜が、オゾンとTEOSとを原料として準常圧化学気相成長法により形成された酸化シリコン膜、もしくは、水素化無機SOG膜からなり、

前記第2のCMPの前に、前記第2の酸化シリコン膜を酸化雰囲気で熱処理する工程を有することを特徴とする請求項6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特に、STI (shallow-trench isolation) 構造の素子分離領域の形成方法に関する。

【0002】

【従来の技術】近年の半導体装置の高集積化では、素子分離領域の面積の縮小も必須になっている。このため、素子分離領域は、LOCOS法に代って、STI構造のものが採用され始めている。しかしながら、STI構造の素子分離領域では、(溝形成後に全面に絶縁膜を形成し)溝を充填する絶縁膜のエッチバックに伴って、溝上端部近傍における半導体基板表面と充填絶縁膜との段差による凹部が形成されて、これの存在によるゲート電極材料の溝上端部に沿ったエッチング残り、逆狭チャネル効果の発生等が問題になりつつある。

【0003】この問題に対しての代表的な対策技術が、特開平10-50822号公報に開示されている。

【0004】半導体装置の素子分離領域の製造工程の断面模式図である図7を参照すると、上記公開公報に記載されたSTI構造の素子分離領域は、以下のとおりに形成される。

【0005】まず、シリコン基板301の表面に熱酸化によりパッド酸化膜302が形成され、続いて、CVDにより塗化シリコン膜321が全面に形成される。塗化シリコン膜321の表面上にフォトレジスト膜パターン322が形成される。フォトレジスト膜パターン322をマスクにして、塗化シリコン膜321、パッド酸化膜302およびシリコン基板301が順次異方性エッチングされて、シリコン基板301の表面に溝303が形成される【図7(a)】。

【0006】次に、フォトレジスト膜パターン322が除去される。その後、全面に酸化シリコン系の絶縁膜が形成される。塗化シリコン膜321をストップとして、第1回目のCMPが行なわれ、溝303を充填する姿態を有して絶縁膜305が残置形成される【図7(b)】。

【0007】続いて、塗化シリコン膜321が選択的に除去される【図7(c)】。

【0008】引き続いて、シリコン基板301をストップとして、第2回目のCMPが行なわれ、絶縁膜305およびパッド酸化膜302が除去され、溝303を充填する姿態を有した絶縁膜305aが残置形成される。これにより、STI構造の素子分離領域313が形成される【図7(d)】。

【0009】上記公開公報記載の素子分離領域の形成方法によれば、溝303の上端において、絶縁膜305aの上面とシリコン基板301の表面とは概ね一致して、上記凹部の形成は回避される。その結果、ゲート電極材料の溝上端部に沿ったエッチング残り、逆狭チャネル効果の発生等の問題は解決される。

【0010】

【発明が解決しようとする課題】しかしながら上記特開平10-50822号公報記載の製造方法では、第2回目のCMPがシリコン基板をストップとして行なわれて

いることから、シリコン基板の表面の活性領域となる部分がこのCMPに晒されることになる。このため、CMPに使用されるスリラー中の金属イオンによりこの活性領域が汚染されて、シリコン基板表面に形成する半導体装置の電気特性に悪影響を与えるという問題が生じる。さらには、この活性領域をなすシリコン基板表面が荒れることになり、この表面有れを回復するための新たな平坦化工程が必要になる。

【0011】したがって本発明の目的は、電気特性を損なわず、新たな平坦化工程を必要としないSTI構造の素子分離領域の形成方法を提供することにある。

【0012】

【課題を解決するための手段】本発明の半導体装置の製造方法の第1の態様は、シリコン基板の表面に第1の熱酸化によりパッド酸化膜を形成し、全面に塗化シリコン膜を形成し、この塗化シリコン膜の表面に形成したフォトレジスト膜パターンをマスクにして、この塗化シリコン膜およびパッド酸化膜を異方性エッチングし、さらに、このシリコン基板の表面を所定の深さだけテーパー・エッチングして溝を形成する工程と、第2の熱酸化により、上記溝の表面に所要の膜厚を有した表面保護酸化膜を形成する工程と、全面に第1の酸化シリコン膜を形成し、上記塗化シリコン膜の上面が露出するまでこの第1の酸化シリコン膜に第1のCMPを行なう工程と、上記塗化シリコン膜を選択的に除去し、LPCVDにより全面に所望の膜厚を有したHTO膜を形成し、さらに、全面に第2の酸化シリコン膜を形成する工程と、上記シリコン基板の表面の全面が上記パッド酸化膜の少なくとも一部に覆われた姿態を有して、第2のCMPによる平坦化を行なう工程と、上記シリコン基板の表面が露出するまで、沸酸系のエッチング液でウェット・エッチングを行なう工程とを有することを特徴とする。

【0013】好ましくは、上記第1の酸化シリコン膜がHD-PPECVDにより形成される。上記第2の酸化シリコン膜はHD-PPECVDにより形成される。または、上記第2の酸化シリコン膜は、オゾンとTEOSとを原料として準常圧化学気相成長法により形成された酸化シリコン膜、もしくは、水素化無機SOG膜からなり、上記第2のCMPの前に上記第2の酸化シリコン膜を酸化雰囲気で熱処理する工程を有する。

【0014】あるいは、上記第1の酸化シリコン膜はオゾンとTEOSとを原料として準常圧化学気相成長法により形成された酸化シリコン膜、もしくは、水素化無機SOG膜からなり、上記第1のCMPと上記塗化シリコン膜の選択除去との間に、上記第1の酸化シリコン膜を酸化雰囲気で熱処理する工程を有し、上記第2の酸化シリコン膜が、オゾンとTEOSとを原料として準常圧化学気相成長法により形成された酸化シリコン膜、もしくは、水素化無機SOG膜からなり、上記第2のCMPの前に、上記第2の酸化シリコン膜を酸化雰囲気で熱処理

する工程を有する。

【0015】本発明の半導体装置の製造方法の第2の態様は、シリコン基板の表面に第1の熱酸化によりパッド酸化膜を形成し、全面に窒化シリコン膜を形成し、この窒化シリコン膜の表面に形成したフォトレジスト膜パターンをマスクにして、この窒化シリコン膜およびパッド酸化膜を異方性エッティングし、さらに、このシリコン基板の表面を所定の深さだけテーパー・エッティングして溝を形成する工程と、第2の熱酸化により、上記溝の表面に所要の膜厚を有した表面保護酸化膜を形成する工程と、全面に第1の酸化シリコン膜を形成し、上記窒化シリコン膜の上面が露出するまでこの第1の酸化シリコン膜に第1のCMPを行なう工程と、上記窒化シリコン膜を選択的に除去し、熱酸化により上記パッド酸化膜を所要の膜厚の熱酸化膜に変換する工程と、全面に第2の酸化シリコン膜を形成する工程と、上記シリコン基板の表面の全面が上記熱酸化膜の少なくとも一部に覆われた姿態を有して、第2のCMPによる平坦化を行なう工程と、上記シリコン基板の表面が露出するまで、弗酸系のエッティング液でウェット・エッティングを行なう工程とを有することを特徴とする。

【0016】好ましくは、上記第1の酸化シリコン膜はHD-P E CVDにより形成される。上記第2の酸化シリコン膜はHD-P E CVDにより形成される。または、上記第2の酸化シリコン膜は、オゾンとTEOSとを原料として準常圧化学気相成長法により形成された酸化シリコン膜、もしくは、水素化無機SOG膜からなり、上記第2のCMPの前に、上記第2の酸化シリコン膜を酸化雰囲気で熱処理する工程を有する。

【0017】あるいは、上記第1の酸化シリコン膜は、オゾンとTEOSとを原料として準常圧化学気相成長法により形成された酸化シリコン膜、もしくは、水素化無機SOG膜からなり、上記第2の酸化シリコン膜は、オゾンとTEOSとを原料として準常圧化学気相成長法により形成された酸化シリコン膜、もしくは、水素化無機SOG膜からなり、上記第2のCMPの前に、上記第2の酸化シリコン膜を酸化雰囲気で熱処理する工程を有することを特徴とする。

【0018】

【発明の実施の形態】次に、図面を参照して本発明について説明する。

【0019】半導体装置の素子分離領域の製造工程の断面模式図である図1を参照すると、本発明の第1の実施の形態の第1の実施例によるSTI構造の素子分離領域は、以下のとおりに形成される。

【0020】まず、シリコン基板101の表面に、熱酸化によりパッド酸化膜102が形成される。パッド酸化膜102の膜厚は、8nm～16nm程度である。CVDにより、全面に膜厚50nm～200nm程度の窒化シリコン膜121が形成される。パッド酸化膜102を

設けるのは、後工程で行なう熱処理時を含めての応力緩和のためであり、さらには、窒化シリコン膜122をウェット・エッティングで除去する場合には、エッティング・ストップとして機能するとともに、活性領域となるシリコン基板101の表面を保護するためである。

【0021】次に、窒化シリコン膜121の表面上には、フォトレジスト膜パターン122が形成される。フォトレジスト膜パターン122をマスクにして、窒化シリコン膜122、パッド酸化膜102が順次異方性エッティングされる。さらに引き続いて、フォトレジスト膜パターン122をマスクにして、シリコン基板101が例えばC₂H₂ + O₂ (+HBr)の混合ガスによる異方性エッティングによりテーパー・エッティングされて、シリコン基板101の表面に溝103が形成される。溝103のテーパー角度、最小幅および深さは、それぞれ80°～85°程度、0.1μm～0.25μm程度および150nm～500nm程度である〔図1(a)〕。

【0022】上記フォトレジスト膜パターン122が除去された後、熱酸化により、溝103の表面に、表面保護酸化膜104aが形成される。表面保護酸化膜104aの膜厚は、少なくとも30nmであり、好ましくは40nm程度である。

【0023】本第1の実施例において、表面保護酸化膜104aを形成する目的は、溝103の上端をまるめることと、後工程でのバイアス・スパッタリングを伴なった高密度プラズマ励起気相成長法(HD-P E CVD)による第1の酸化シリコン膜の形成の際に、このHD-P E CVDによる溝103表面のシリコン基板101をアタックから保護するためである。このアタックからの保護のために、表面保護酸化膜104aの膜厚は、少なくとも30nm程度必要である。しかしながら、表面保護酸化膜104aの膜厚が厚すぎると、溝103上端におけるバーズ・ピーク部が増大して活性領域の面積が目的とする値より縮小(に伴なうチャネル幅の縮小)されるとともに、ストレス等の増大が生じる。

【0024】次に、バイアス・スパッタリングを伴なったHD-P E CVDにより、溝103を充填し、かつ、窒化シリコン膜121の表面を覆う姿態を有して、第1の酸化シリコン膜(図に明示せず)が形成される。この第1の酸化シリコン膜は、熱酸化により形成された酸化シリコン膜の特性に近い特性を有している。HD-P E CVDとしては、ECR-P E CVD、ICP(Inductively-Coupled-Plasma)によるCVD、ヘリコン波P E CVD等がある。続いて、窒化シリコン膜121をストップとして、第1回目のCMPが行なわれ、溝103(並びに窒化シリコン膜121の空隙部)を充填する(第1の)酸化シリコン膜105aが残置形成される〔図1(b)〕。

【0025】次に、(熱磷酸を用いた)ウェット・エッティングもしくは、ドライ・エッティングにより、窒化シリ

コン膜121が選択的に除去される。SiH₄ + N₂OあるいはSiH₂Cl₂ + N₂Oからなる混合ガスを用いた減圧気相成長法(LPCVD)により、全面に所望の膜厚を有した高温酸化膜(HTO膜)107aが形成される。HTO膜107aの所望の膜厚としては、これとパッド酸化膜102との合計膜厚が少なくとも30nm程度あればよい。このHTO膜107aは、表面保護酸化膜104aと同じ理由で形成される。続いて、HD-PECVDにより、全面に第2の酸化シリコン膜108aが形成される〔図1(c)〕。

【0026】次に、第2回目のCMPが行なわれて、例えば酸化シリコン膜108aa, HTO膜107aa, 酸化シリコン膜105aaが残置する〔図1(d)〕。このCMPは、シリコン基板101の表面がパッド酸化膜102(の少なくとも一部)により覆われた状態(シリコン基板101の表面が露出しない状態)で、停止されることが好ましい。これは、次工程におけるウェット・エッティングを、目的とする精度で行なうためである。この第2回目のCMP中でのシリコン基板101の表面上での残膜の膜厚測定は、静電容量法、光学的計測法等により行なわれる。

【0027】次に、バッファード弗酸あるいは稀弗酸によるウェット・エッティングが、シリコン基板101表面の露出するまで行なわれて、溝103に表面保護酸化膜104aa, 酸化シリコン膜105abが残置形成されてなるSTI構造の素子分離領域113aが、形成される〔図1(e)〕。

【0028】本第1の実施の形態の本第1の実施例において、第2回目のCMPの後にウェット・エッティングによりシリコン基板101の表面が露出されることから、CMPによる活性領域の汚染、表面の荒れの形成は解消され、新たな平坦化工程を必要としない。さらに、本第1の実施例によれば、素子分離領域113aを充填する表面保護酸化膜104aa並びに酸化シリコン膜105abの上面と、シリコン基板101表面との段差を20nm以下に制御することは容易なことから、逆狭チャネル効果の発生の抑制も容易になるとともに、例えばゲート電極形成時におけるゲート電極材料の溝上端部に沿った残留の回避も容易になる。

【0029】半導体装置の素子分離領域の主要製造工程の断面模式図である図2を参照すると、本第1の実施の形態の第2の実施例によるSTI構造の素子分離領域は、以下のとおりに形成される。

【0030】まず、上記第1の実施例と同様に、シリコン基板101の表面に、熱酸化によりパッド酸化膜102が形成される。パッド酸化膜102の膜厚は、8nm～16nm程度である。CVDにより、全面に膜厚50nm～200nm程度の窒化シリコン膜(図示せず)が形成される。窒化シリコン膜の表面上にフォトレジスト膜パターン(図示せず)が形成された後、このフォトレ

ジスト膜パターンをマスクにして窒化シリコン膜、パッド酸化膜102およびシリコン基板101が順次異方性エッティングされて、シリコン基板101の表面にはテープーを有した溝103が形成される。上記フォトレジスト膜パターンが除去された後、表面保護酸化膜104bが溝103の表面に熱酸化により形成される。この表面保護酸化膜104bの膜厚も、少なくとも30nmであり、好ましくは40nm程度である。

【0031】次に、上記第1の実施例と同様に、バイアス・スペッタリングを伴なったHD-PECVDにより、溝103を充填し、かつ、上記窒化シリコン膜の表面を覆う姿態を有して、第1の酸化シリコン膜(図に明示せず)が形成される。続いて、上記窒化シリコン膜をストップとして、第1回目のCMPが行なわれ、溝103(並びに上記窒化シリコン膜の空隙部)を充填する(第1の)酸化シリコン膜105bが残置形成される。上記窒化シリコン膜が選択的に除去される。LPCVDにより、全面に所望の膜厚を有したHTO膜107bが形成される。HTO膜107bとパッド酸化膜102との合計膜厚も、少なくとも30nm程度あればよい。

【0032】次に、上記第1の実施例と相違した成膜方法により、第2の酸化シリコン膜109bが形成される〔図2(a)〕。酸化シリコン膜109bは、オゾン(O₃) + TEOSを原料とした(2.7×10⁴Pa程度、400℃～500℃での)準常圧気相成長法、あるいは、水素化無機SOG膜の塗布、ベークにより形成される。水素化無機SOG膜は、カーボン・フリーのSOG膜であり、他の無機SOG膜と相違してベークによる体積収縮が極めて少なく、(HSiO_{3/2})_nを原料として形成される。

【0033】続いて、800℃～1000℃の酸素雰囲気で熱処理が施されて、酸化シリコン膜109bが、緻密化された酸化シリコン膜109baに変化される〔図2(b)〕。この処理が必要なのは、第2回目のCMPにおいて、下地の酸化シリコン膜とこの第2の酸化シリコン膜との研磨速度の差を減らしておいたためである。また、HTO膜107bとパッド酸化膜102との合計膜厚を少なくとも30nm程度に設定するのは、この熱処理に際して、活性領域となるシリコン基板101表面へ、第2の酸化シリコン膜から水分等の不純物が侵入するのを防ぐためである。

【0034】その後、上記第1の実施例と同様に、第2回目のCMPが行なわれて、例えば酸化シリコン膜109bb, HTO膜107ba, 酸化シリコン膜105baが残置する〔図2(c)〕。

【0035】次に、上記第1の実施例と同様に、バッファード弗酸あるいは稀弗酸によるウェット・エッティングが、シリコン基板101表面の露出するまで行なわれて、溝103に表面保護酸化膜104ba, 酸化シリコン膜105bbが残置形成されてなるSTI構造の素子

分離領域113bが、形成される〔図2(d)〕。

【0036】本第2の実施例は、上記第1の実施例の有した効果を有している。

【0037】半導体装置の素子分離領域の主要製造工程の断面模式図である図3を参照すると、本第1の実施の形態の第3の実施例によるSTI構造の素子分離領域は、以下のとおりに形成される。

【0038】まず、上記第1、2の実施例と同様に、シリコン基板101の表面に熱酸化によりパッド酸化膜102が形成され、CVDにより全面に窒化シリコン膜121が形成される。窒化シリコン膜121の表面上にフォトレジスト膜パターン(図示せず)が形成された後、このフォトレジスト膜パターンをマスクにして窒化シリコン膜121、パッド酸化膜102およびシリコン基板101が順次異方性エッチングされて、シリコン基板101の表面には、テーパーを有した溝103が形成される。上記フォトレジスト膜パターンが除去された後、表面保護酸化膜104cが溝103の表面に熱酸化により形成される。表面保護酸化膜104cの膜厚も、少なくとも30nmであり、好ましくは40nm程度である。

【0039】次に、上記第1、2の実施例と相違して、O₃+TEOSを原料とした準常圧気相成長法、あるいは、水素化無機SOG膜の塗布、ベークにより、溝103を充填し、かつ、窒化シリコン膜121の表面を覆う姿態を有して、第1の酸化シリコン膜106が形成される〔図3(a)〕。

【0040】続いて、窒化シリコン膜121をストップとして、第1回目のCMPが行なわれ、溝103(並びに窒化シリコン膜121の空隙部)を充填する(第1の)酸化シリコン膜106cが残置形成される〔図3(b)〕。

【0041】次に、800°C~1000°Cの酸素雰囲気で熱処理が施されて、酸化シリコン膜106cが緻密化された酸化シリコン膜106caになる〔図3(c)〕。

【0042】続いて、窒化シリコン膜121が選択的に除去される。LPCVDにより、全面に所望の膜厚を有したHTO膜107cが形成される。HTO膜107cとパッド酸化膜102との合計膜厚も、少なくとも30nm程度あればよい。次に、上記第2の実施例と同様の方法により、第2の酸化シリコン膜109cが形成される〔図3(d)〕。図示は省略するが、その後、上記第2の実施例と同様の方法により、本第3の実施例によるSTI構造の素子分離領域が形成される。

【0043】本第3の実施例も、上記第1、第2の実施例の有した効果を有している。

【0044】上記第1の実施の形態では、第1のCMPにより溝に第1の酸化シリコン膜が残置形成され、窒化シリコン膜が除去された後、全面にHTO膜が形成されている。本発明の半導体装置の製造方法は、これに限定

されるものではない。

【0045】半導体装置の素子分離領域の主要製造工程の断面模式図である図4を参照すると、本発明の第2の実施の形態の第1の実施例によるSTI構造の素子分離領域は、以下のとおりに形成される。

【0046】まず、シリコン基板201の表面に、熱酸化によりパッド酸化膜202が形成される。パッド酸化膜202の膜厚は、8nm~16nm程度である。CVDにより、全面に膜厚50nm~200nm程度の窒化シリコン膜(図示せず)が形成される。次に、上記窒化シリコン膜の表面上には、フォトレジスト膜パターン(図示せず)が形成される。このフォトレジスト膜パターンをマスクにして、上記窒化シリコン膜、パッド酸化膜202が順次異方性エッチングされる。さらに引き続いて、フォトレジスト膜パターンをマスクにして、シリコン基板201が例えばC_{1.2}+O₂(+HBr)の混合ガスによる異方性エッチングによりテーパー・エッチングされて、シリコン基板201の表面に溝203が形成される。溝203のテーパー角度、最小幅および深さは、それぞれ80°~85°程度、0.1μm~0.25μm程度および150nm~500nm程度である。上記フォトレジスト膜パターンが除去された後、熱酸化により、表面保護酸化膜204aが溝203の表面に形成される。表面保護酸化膜204aの膜厚は、少なくとも30nmであり、好ましくは40nm程度である。

【0047】次に、バイアス・スペッタリンクを伴なったHD-PECVDにより、溝203を充填し、かつ、上記窒化シリコン膜の表面を覆う姿態を有して、第1の酸化シリコン膜(図に明示せず)が形成される。続いて、上記窒化シリコン膜をストップとして、第1回目のCMPが行なわれ、溝203(並びに上記窒化シリコン膜の空隙部)を充填する(第1の)酸化シリコン膜205aが残置形成される。次に、(熱磷酸を用いた)ウェット・エッチングもしくは、ドライ・エッチングにより、上記窒化シリコン膜が選択的に除去される〔図4(a)〕。

【0048】次に、上記第1の実施の形態と相違して、熱酸化が施されて、パッド酸化膜202は、膜厚が少なくとも30nm程度の熱酸化膜212aに変換される。

【0049】次に、上記第1の実施の形態の上記第1の実施例と同様に、HD-PECVDにより、全面に第2の酸化シリコン膜208aが形成される〔図4(b)〕。

【0050】次に、上記第1の実施の形態の上記第1の実施例と同様に、第2回目のCMPが行なわれて、例えば酸化シリコン膜208aa、酸化シリコン膜205aaが残置する〔図4(c)〕。このCMPも、上記第1の実施の形態の上記第1の実施例と同様に、シリコン基板201の表面が熱酸化膜212a(の少なくとも一部)により覆われた状態(シリコン基板201の表面が露出しない状態)で、停止される。この第2回目のCM

P中でのシリコン基板201の表面上での残膜の膜厚測定は、例えば静電容量法、光学的計測法等により行なわれる。

【0050】次に、上記第1の実施の形態の上記第1の実施例と同様に、バッファード弗酸あるいは稀弗酸によるウェット・エッチングが、シリコン基板201表面の露出するまで行なわれて、溝203に表面保護酸化膜204a a、酸化シリコン膜205a bが残置形成されてなるSTI構造の素子分離領域213aが、形成される〔図4(d)〕。

【0051】本第2の実施の形態の本第1の実施例も、上記第1の実施の形態の上記第1の実施例の有したい効果を有している。

【0052】半導体装置の素子分離領域の主要製造工程の断面模式図である図5を参照すると、本第2の実施の形態の第2の実施例によるSTI構造の素子分離領域は、以下のとおりに形成される。

【0053】まず、本第2の実施の形態の上記第1の実施例と同様に、シリコン基板201の表面に、熱酸化によりパッド酸化膜202が形成される。パッド酸化膜202の膜厚は、8nm～16nm程度である。CVDにより、全面に膜厚50nm～200nm程度の窒化シリコン膜(図示せず)が形成される。窒化シリコン膜の表面上にフォトレジスト膜パターン(図示せず)が形成された後、このフォトレジスト膜パターンをマスクにして窒化シリコン膜、パッド酸化膜202およびシリコン基板201が順次異方性エッチングされて、シリコン基板201の表面にはテーパーを有した溝203が形成される。上記フォトレジスト膜パターンが除去された後、表面保護酸化膜204bが溝203の表面に熱酸化により形成される。表面保護酸化膜204bの膜厚も、少なくとも30nmであり、好ましくは40nm程度である。

【0054】次に、本第2の実施の形態の上記第1の実施例と同様に、バイアス・スペッタリンクを伴なったHD-PECVDにより、溝203を充填し、かつ、上記窒化シリコン膜の表面を覆う姿態を有して、第1の酸化シリコン膜(図に明示せず)が形成される。続いて、上記窒化シリコン膜をストップとして、第1回目のCMPが行なわれ、溝203(並びに上記窒化シリコン膜の空隙部)を充填する(第1の)酸化シリコン膜205bが残置形成される。上記窒化シリコン膜が選択的に除去される。

【0055】次に、本第1の実施の形態の上記第1の実施例と同様に、熱酸化が施されて、パッド酸化膜202は、膜厚が少なくとも30nm程度の熱酸化膜212bに変換される。続いて、上記第1の実施の形態の上記第2の実施例と同様に、O₃+TEOSを原料とした準常圧気相成長法、あるいは、水素化無機SOG膜の塗布、ベークにより、全面に第2の酸化シリコン膜209bが形成される〔図5(a)〕。水素化無機SOG膜は、カ

ーボン・フリーのSOG膜であり、他の無機SOG膜と相違してベークによる体積収縮が極めて少なく、(HSiO_{3/2})を原料として形成される。

【0056】続いて、800℃～1000℃の酸素雰囲気で熱処理が施されて、酸化シリコン膜209bが、緻密化された酸化シリコン膜109baに変化される〔図5(b)〕。この処理が必要なのは、第2回目のCMPにおいて、下地の酸化シリコン膜とこの第2の酸化シリコン膜との研磨速度の差を減らしておくためである。また、熱酸化膜212bの膜厚を少なくとも30nm程度に設定するのは、この熱処理に際して、活性領域となるシリコン基板201表面へ、第2の酸化シリコン膜から水分等の不純物が侵入するのを防ぐためである。

【0057】その後、本第2の実施の形態の上記第1の実施例等と同様に、第2回目のCMPが行なわれて、例えば酸化シリコン膜209bb、酸化シリコン膜205b aが残置する〔図5(c)〕。

【0058】次に、本第2の実施の形態の上記第1の実施例等と同様に、バッファード弗酸あるいは稀弗酸によるウェット・エッチングが、シリコン基板201表面の露出するまで行なわれて、溝203に表面保護酸化膜204ba、酸化シリコン膜205bbが残置形成されてなるSTI構造の素子分離領域213bが、形成される〔図5(d)〕。

【0059】本第2の実施の形態の本第2の実施例も、本第2の実施の形態の上記第1の実施例の有した効果を有している。

【0060】半導体装置の素子分離領域の主要製造工程の断面模式図である図6を参照すると、本第2の実施の形態の第3の実施例によるSTI構造の素子分離領域は、以下のとおりに形成される。

【0061】まず、本第2の実施の形態の上記第1、2の実施例と同様に、シリコン基板201の表面に熱酸化によりパッド酸化膜202が形成され、CVDにより全面に窒化シリコン膜(図示せず)が形成される。この窒化シリコン膜の表面上にフォトレジスト膜パターン(図示せず)が形成された後、このフォトレジスト膜パターンをマスクにしてこの窒化シリコン膜、パッド酸化膜202およびシリコン基板201が順次異方性エッチングされて、シリコン基板201の表面にはテーパーを有した溝203が形成される。上記フォトレジスト膜パターンが除去された後、表面保護酸化膜204cが溝203の表面に熱酸化により形成される。表面保護酸化膜204cの膜厚も、少なくとも30nmであり、好ましくは40nm程度である。

【0062】次に、上記第1の実施の形態の上記第3の実施例と同様に、O₃+TEOSを原料とした準常圧気相成長法、あるいは、水素化無機SOG膜の塗布、ベークにより、溝203を充填し、かつ、上記窒化シリコン膜の表面を覆う姿態を有して、第1の酸化シリコン膜

13
(図示は省略する) が形成される。

【0063】次に、上記窒化シリコン膜をストップとして、第1回目のCMPが行なわれ、溝203(並びに上記窒化シリコン膜の空隙部)を充填する(第1の)酸化シリコン膜206cが、残置形成される。続いて、上記第1の実施の形態の上記第3の実施例と同様に、上記窒化シリコン膜が選択的に除去される【図6(a)】。

【0064】次に、本第2の実施の形態の上記第1、2の実施例と同様に、熱酸化が施されて、パッド酸化膜202は、膜厚が少なくとも30nm程度の熱酸化膜212bに変換される。それと同時に、酸化シリコン膜206cは緻密化された酸化シリコン膜206caになる【図6(b)】。

【0065】図示は省略するが、その後、本第2の実施の形態の上記第2の実施例と同様の製法により、本第3の実施例による素子分離領域が完成する。

【0066】本第2の実施の形態の本第3の実施例も、本第2の実施の形態の上記第1、第2の実施例の有した効果を有している。

【0067】

【発明の効果】以上説明したように、本発明の半導体装置の製造方法では、シリコン基板の表面にパッド酸化膜、窒化シリコン膜を形成してから溝を形成し、熱酸化により溝の表面に表面保護酸化膜を形成し、窒化シリコン膜をストップにして全面に形成した第1の酸化シリコン膜に第1のCMPを行ない、窒化シリコン膜を除去し、HTO膜の形成、もしくは、再酸化によりシリコン基板表面の酸化膜の膜厚を増大させてから第2の酸化シリコン膜を形成し、シリコン基板表面が露出しない程度に第2のCMPを行ない、最後に沸酸系でのウェット・エッティングを行なって、STI構造の素子分離領域を形成している。

【0068】このため、活性領域となるシリコン基板の表面に新たな平坦化工程を加える必要がなく、(逆狭チャネル効果の増大等の)電気特性の劣化を抑制したSTI構造の素子分離領域の形成が容易になるとともに、例えばゲート電極形成時におけるゲート電極材料の溝上端

部に沿った残留の回避も容易になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の第1の実施例の製造工程の断面模式図である。

【図2】上記第1の実施の形態の第2の実施例の主要製造工程の断面模式図である。

【図3】上記第1の実施の形態の第3の実施例の主要製造工程の断面模式図である。

【図4】本発明の第2の実施の形態の第1の実施例の主要製造工程の断面模式図である。

【図5】上記第2の実施の形態の第2の実施例の主要製造工程の断面模式図である。

【図6】上記第2の実施の形態の第3の実施例の主要製造工程の断面模式図である。

【図7】従来の半導体装置の製造方法を説明するための断面模式図である。

【符号の説明】

101, 201, 301 シリコン基板

102, 202, 302 パッド酸化膜

103, 203, 303 溝

104a, 104aa, 104b, 104ba, 104c, 204a, 204aa, 204b, 204ba, 204ca 表面保護酸化膜

105a, 105aa, 105ab, 105b, 105ba, 105bb, 106, 106c, 106ca, 108a, 108aa, 109b, 109ba, 109c, 205a, 205aa, 205aa, 205b, 205ba, 205bb, 206c, 206ca, 208b, 208ba, 209b, 209ba, 209bb 酸化シリコン膜

107a, 107aa, 107b, 107ba, 107c HTO膜

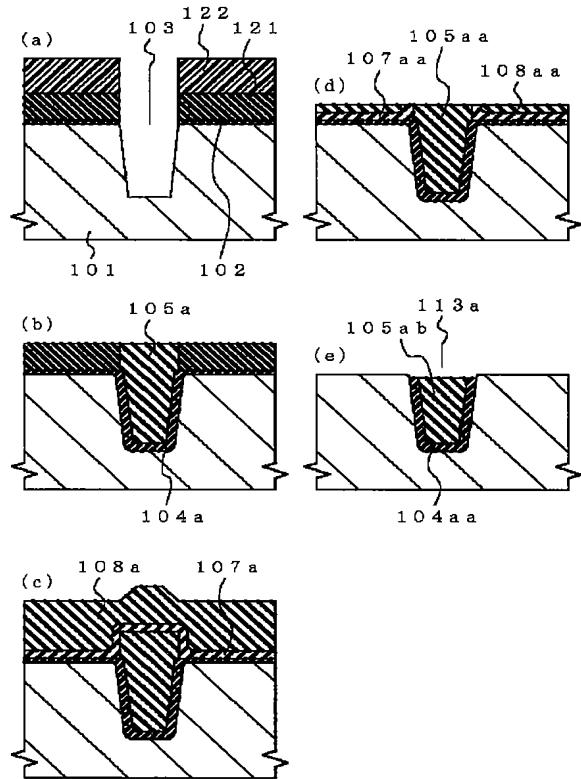
113a, 113b, 213a, 213b, 313 素子分離領域

121, 321 窒化シリコン膜

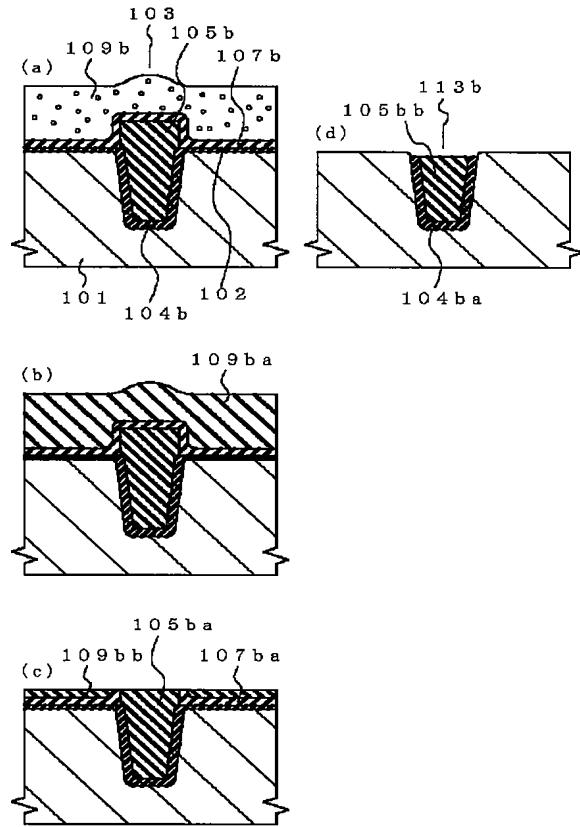
122, 322 フォトレジスト膜パターン

212a, 212b 热酸化膜

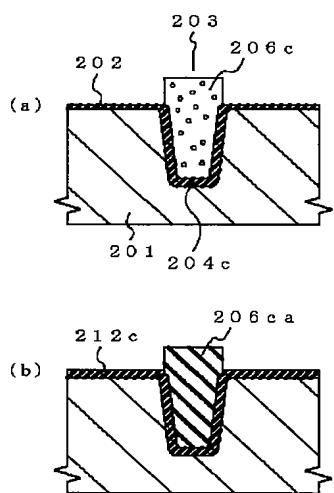
【図1】



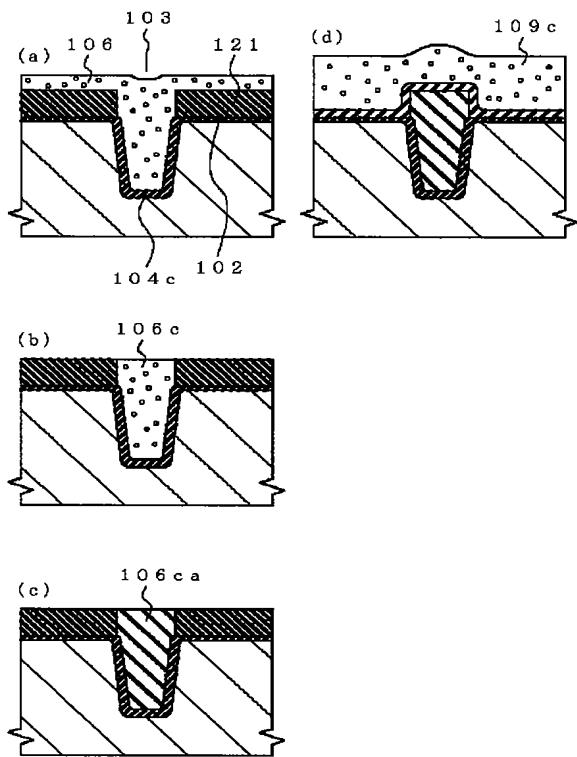
【図2】



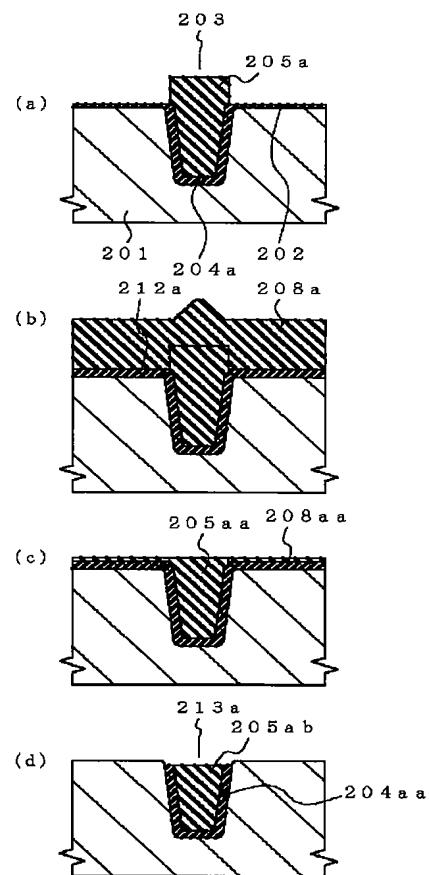
【図6】



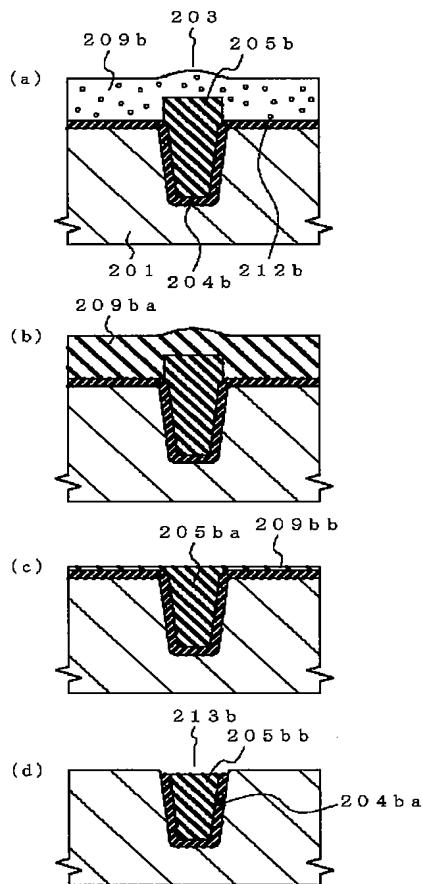
【図3】



【図4】



【図5】



【図7】

